

# 送信側 A / D 結果と I R r A N # 1, # 2 の出力

I R t A N & I R r A n # 1 と # 2 は A N 1 の変換結果の出力方法が異なります。

回路図出力信号名	A 9	A 8	A 7	A 6	A 5	A 4	A 3	A 2	A 1	A 0
送信側入力 A N 1 変換結果	MSB bit 9	bit 8	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	LSB bit 0
I R r A N # 1 の 受信出力ポート	MSB RA 3	RA 2	RC 7	RC 6	RC 5	RC 4	RC 3	RC 2	RC 1	LSB RC 0
I R r A N # 2 の 受信出力ポート	MSB RC 7	RC 6	RC 5	RC 4	RC 3	RC 2	RC 1	RC 0	RA 3	LSB RA 2
I R r A N # 1 基板 CN - 2	MSB 7	6	8	9	10	11	12	13	14	LSB 15
I R r A N # 2 基板 CN - 2	MSB 8	9	10	11	12	13	14	15	7	LSB 6

回路図出力信号名	B 9	B 8	B 7	B 6	B 5	B 4	B 3	B 2	パラレル出力無し	
送信側入力 A N 2 変換結果	MSB bit 9	bit 8	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0 LSB
受信出力ポート	MSB RB 7	RB 6	RB 5	RB 4	RB 3	RB 2	RB 1	RB 0	—	LSB —
上位 8 b i t 表現、下位 2 b i t はカット！										
基板 CN - 2	MSB RB 7	RB 6	RB 5	RB 4	RB 3	RB 2	RB 1	RB 0	—	LSB —

送信側入力 A N 2 の受信出力は、I R r A N # 1, I R r A N # 2 で変化無し。